

PAT-NO: JP359041845A

DOCUMENT-IDENTIFIER: JP 59041845 A

TITLE: CARRIER TAPE FOR DOUBLE LAYER TYPE INTEGRATED
CIRCUIT AND MANUFACTURE THEREOF

PUBN-DATE: March 8, 1984

INVENTOR-INFORMATION:

NAME

KUSAKABE, ATSUSHI

ASSIGNEE-INFORMATION:

NAME

FUJI KIKO DENSHI KK

COUNTRY

N/A

APPL-NO: JP57151877

APPL-DATE: August 31, 1982

INT-CL (IPC): H01L021/60, H01L023/48

US-CL-CURRENT: 29/827, 257/E21.506 , 438/FOR.369

ABSTRACT:

PURPOSE: To make it possible to manufacture a double layer type integrated circuit readily, quickly, and automatically, and to make it possible to obtain further integration, by forming leads on both surfaces of carrier tape, insulating an inner lead part through the tape, and connecting an outer lead part by a conductive paint.

CONSTITUTION: Bonding agent layer 2 is formed on the upper surface of a long tape material for a carrier. Device holes 3 are formed at the central part of said tape material 1 at an equal interval. Sprocket holes are formed in the

vicinities of both edges of the tape material 1 at an equal interval. Then a copper foil is laminated on the bonding agent layer 2 as a conductor layer for forming leads and a copper foil layer 5 is formed. A silver paint is printed on the lower surface of the layer 5 as a conductive paint for wiring, and a silver paint layer 6 is formed. A bonding agent layer 7 is formed on the bottom surface, and a copper foil layer 8 is formed on the layer 7 as a lead forming conductor layer. A photosensitive liquid is applied on the copper foil layers 5 and 8 on both surfaces of the tape material 1. The desired lead patterns are printed and developed on both surfaces. After etching and separating process, desired copper leads 9 and 10 are formed on both upper and bottom surfaces.

COPYRIGHT: (C)1984,JPO&Japio

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—41845

⑤Int. Cl.³
H 01 L 21/60
23/48

識別記号

室内整理番号
 6819-5F
 6819-5F

④公開 昭和59年(1984)3月8日

発明の数 2
審査請求 有

(全 4 頁)

⑤4 2層式集積回路用キャリアテープ、その製造方法

松原市高見の里6丁目358番地
の3

②特 願 昭57-151877

⑦出 願 人 富士機工電子株式会社

②出 願 昭57(1982)8月31日

大阪市阿部野区阪南町 3 丁目 19
番 17 号

⑦²発 明 者 日下部淳

⑦⁴代理人 弁理士 京口清

明 細 書

1、 発明の名称

2層式集積回路用キャリアテープ、その製造方法およびその使用方法

2、特許請求の範囲

①絶縁性のキャリア用テープ材(1)の両面に多数のリード(9)44が配設され、その各面のリード(9)44のうち、各デバイスホール(3)を介し導体性ベイント(6)にて結線した部分が各々アウトリード部(9a)(10a)とされ、かつテープ材(1)で絶縁した部分が各々インナーリード部(9b)(10b)とされた、2層式集積回路用キャリアテープ。

②多数のデバイスホール(3)を有する絶縁性のキャリアテープ材(1)に、片面にリード形成用の導体層(6)を形成し、その導体層(6)の裏面にデバイスホール(3)を介して結線用の導体性ペイント(6)を印刷し、次いでテープ材(1)の他面に、前記デバイスホール(3)で導体性ペイント(6)と接着する如くリード形成用の導体層(8)を形成し、該各面の導体層(6)(8)を、フォトリソグラフィにより多数の所望の

ード(9)10aに形成して、その各リード(9)10bのうち、導体性ペイント(8)で結線された部分を各面のアクタリード部(9a)(10a)に形成し、残りのテープ材(1)で絶縁された部分を各面のインナーリード部(9b)(10b)に形成する、2層式集積回路用キャリアテープの製造方法。

3、 発明の詳細な説明

本発明は集積回路を2層式としたときのボンディング用キャリアテープ、およびそのテープの製造方法に関するものである。

例えばICチップやLSIチップをボンディングする手段としては、既に種々の方式が提案されているが、その1つとしてテープキャリア方式がある。これは、例えばポリイミドフィルム製のテープの片面に接着剤を塗布しておき、それにディバイスホールやスプロケットホールをパンチングするとともに、接着剤面上に銅箔の層を設ける。そこに感光膜をコーティングして必要な形状・数のリードパターンを焼付・現像をし、その後エッチングし剥離してテープ上に銅製のリードを形成

する。他方、ICチップやLSIチップに金バンプを形成しておき、それをテープ上のリードとインナーボンディングして、テープに多数のチップを順次に組込んでいく。その後テープ側のリードをテープから切離して、金属のリードフレームやプリント基板などにアウターボンディングする方式である。

上記の如きテープキャリア方式は、自動ボンディングする上で非常に効率的であるとともに、リードのパターンに自由度があり、またテープに組込んだ状態で各チップの特性検査ができるという利点がある。しかし、従来のこの種のテープキャリア方式では、2個のICやLSIなどの集積回路をテープに組込むには、当然ながらその2個分のキャリアテープの長さを必要とする。また2個分の集積回路を実装する場合に、各々別個に実装する必要があつて実装スペースは2個分を当然に要し、この面での集積度は未だ不十分であるなどの問題点があつた。

本発明は集積回路用キャリアテープに関し、従

来のものが有する上記問題点を解決しようとするものである。即ちその目的とするところは、第1にICやLSIなどの集積回路の2個をキャリアテープの両面に装着できるとともに、上・下の両回路を結線して2層式の集積回路にでき、第2にそれによつてボンディング時のキャリアテープの長さを2分の1に短縮できるとともに、実装スペースも2分の1以下にして一層の集積化を可能とした、2層式集積回路用キャリアテープ、およびその製造方法の提供にある。

以下に本発明を図示実施例によつて説明する。

製造工程順に述べると、図において(1)はキャリア用の長尺のテープ材であり、絶縁性ある厚さ125 μ 程度のポリイミドフィルム製で、その上面に接着剤を塗布して第2図の如く接着剤層(2)を形成する。次にこの接着剤層(2)付のテープ材(1)に、第3図の如く中央部にダイバースホール(3)をパンチングにより等間隔で多数個形成するとともに、テープ材(1)の両側縁寄りにスプロケットホール(4)を等間隔で多数個形成する(第9図参照)。次い

でテープ材(1)の両側縁寄りを除く中央部寄りの接着剤層(2)上に、リード形成用の導体層として厚さ25 μ 程度の銅箔をラミネートし第4図の如く銅箔層(5)を形成する。その後テープ材(1)の下面から、ダイバースホール(3)を介して前記銅箔層(5)の下面に、結線用の導体性ペイントとして厚さ35 μ 程度に銀ペイントを印刷して第5図の如く銀ペイント層(6)を形成する。そして、残りの下面に接着剤を塗布し接着剤層(7)を形成して、この下面の接着剤層(7)に前記と同様に、リード形成用の導体層として銅箔をラミネートし第6図の如く銅箔層(8)を形成する。次に、上記テープ材(1)の上・下両面の銅箔層(5)(8)に感光液を塗布し、各々に所望のリードパターンを焼付け、現像する。その後、エッチングと剥離工程を経て、上・下両面に第7図・第9図に示す如く銅製の所望のリード(9)(10)を形成する。この際、リード(9)(10)部分において、前記の如くダイバースホール(3)を介して銀ペイント層(6)を形成した部分は、その銀ペイント層(6)で上・下が互いに結線されたアウタリード部(9a)(10a)となる。

他方、リード(9)(10)の部分の中でテープ材(1)を間にした部分は、上・下が絶縁されたインナーリード部(9b)(10b)となる。

そして上・下のインナーリード部(9b)(10b)のボンディング部分に各々銀メッキを施せばよく、これで第9図の如き2重集積回路用キャリアテープ(A)ができ上がる。

その後は、該テープ(A)の上・下の各インナーリード部(9b)(10b)の銀メッキ部分に、金バンプ付のICチップ(11)(12)を当接して熱圧着などで第8図の如くインナーボンディングし、各チップ(11)(12)がテープ(A)に組込まれた状態で特性検査を受ける。次いで各チップ(11)(12)にモールドインギング(13)(14)を施し、プレスにて前後に隣接する集積回路のアウタリード部(9a)(10a)を第8図の2点鎖線(15)で示す如く前・後に分割するとともに、テープ(A)の不要部分を切離せばよく、これで第10図の如き2層式集積回路(B)ができ上がる。後はプリント基板の所定の位置に、アウタリード部(9a)(10a)によつてアウターボンディングすればよい。

なお上記構成において、テープ材(1)としてはポリイミドを用いたがそれに限らず、ポリエステル、ガラス繊維、その他絶縁性を有するフィルム状のものならばよい。また上記実施例では、テープ材(1)面に接着剤を塗布して銅箔をラミネートしたが、テープ材(1)面に直接に銅箔をラミネートしたのもよい。さらにそのリード形成用の導体層(5)(8)は、銅に限らず金・錫・アルミニウムなどでもよく、また結線用の導体性ペイント(6)も必ずしも銀ペイントに限らない。上記のテープ材(1)・導体層(5)(8)・導体性ペイント(6)の厚みはいずれも一実施例を示したにすぎぬことは勿論である。

以上で明か左如く、本発明は次の如き効果を有する。

(4) ICやLSIなどの集積回路の2個を絶縁材を介して2層とした2層式集積回路を容易に製造できる。即ち、本発明ではボンディング用のキャリアテープを、上・下の両面にリードを形成するとともに、そのインナーリード用部分はテープを折して絶縁し、かつアクターリード用部分は導体性

ベイントにより結線されるようにしてある。それゆえ、上面と下面のインナーリード部に別種の2個の集積回路チップをボンディングすることができ、上・下のアウトターリード部は結線されるので、2層式集積回路を容易・迅速・自動的に製造することができるものである。

同ボンディング用のキャリアテープの長さを2分の1に短縮できる。即ち、従来のキャリアテープ方式では、2個の集積回路チップを組込むのに、当然ながら2個分のキャリアテープの長さを必要とした。これに対して本発明では、2個のチップをテープの上・下部に2層式に組込むことができるので、キャリアテープの長さはチップ1個分で足りることになり、経済性に富むものである。

けさらに、このキャリアテープを用いて製造した
2層式集積回路では、実装スペースを2分の1以
下に縮小することができる。即ち、従来の集積回
路チップでは、その2個をプリント基板などに実
装するには、当然に2個分のスペースを結線用の
スペースも必要である。これに対して、本発明の

テープを用いた集積回路は2層式のため、プリント基板などへの実装スペースは1個分であり、またリードが直接に結線されているので、結線のためのスペースも不要となる。それゆえ、従来の集積回路の実装に比べると2分の1以下スペースであり、この面で集積度を一層図ることができるものである。

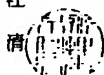
4、 図面の簡単な説明

図は本発明の一実施例を示す概念図であり、第 1 図ないし第 8 図はその製造工程順の各段階での拡大縦断側面図、第 9 図はキャリアテープの一部の斜視図、第 10 図はこのキャリアテープによる 2 層式集積回路の拡大縦断側面図である。

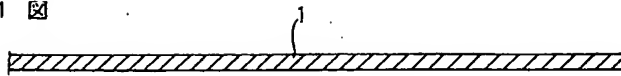
図面符号 (A) … キャリアテープ、(1) … テープ材、
(3) … デイバイスホール、(5) … 導体層、(6) … 導体性
ペイント、(8) … 導体層、(9) (10) … リード、(9a)(10a)
… アウターリード部、(9b)(10b) … インナーリード
部

出 願 人 富士機工電子株式会社

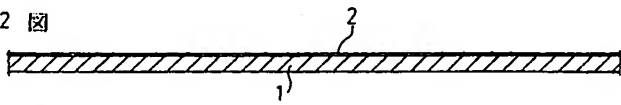
代 理 人 京 口



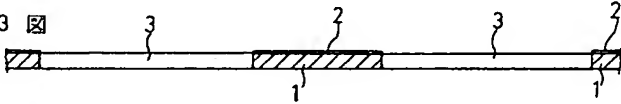
第 1 図



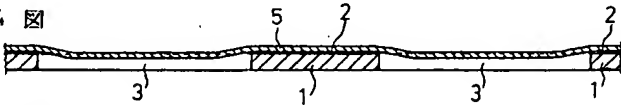
第 2 図



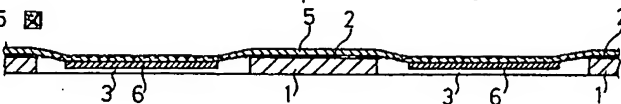
第 3 図



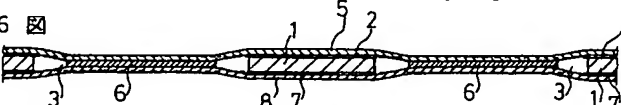
第 4 図



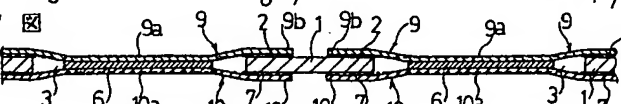
第 5 図



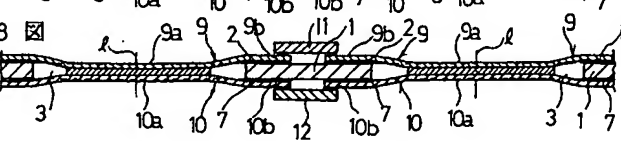
第 6 図



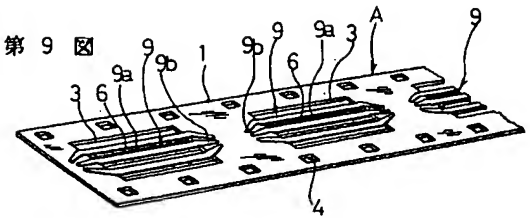
第 7 図



第 8 図



第 9 図



第 10 図

